

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-083262

(43)Date of publication of application : 28.03.1997

(51)Int.Cl.

H03F 3/193
H01L 29/76
H01L 29/772
H01L 29/812
H01L 21/338

(21)Application number : 07-235289

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 13.09.1995

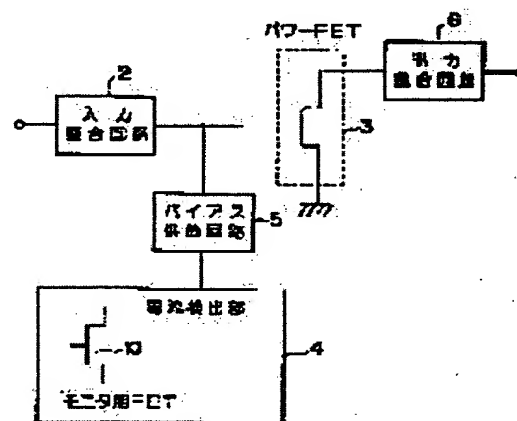
(72)Inventor : NAGAOKA MASAMI
ISHIDA KENJI
INOUE TOMOTOSHI
IKEDA YOSHIKO
KAMEYAMA ATSUSHI

(54) POWER AMPLIFIER

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain the power amplifier with excellent linearity and reliability in which a deviation of a current from a design value due to dispersion in a characteristic of a power FET is reduced to the utmost.

SOLUTION: The amplifier is provided with a FET 3 used as an amplifier element, a current level detection means 4 detecting a current level of the FET, and a gate bias application means 5 to apply a positive gate bias to the FET when the current level detected by the current level detection means is less than a prescribed level and applying a gate bias set to 0V when the current level is the prescribed level or over. Thus, the amplifier is operated by a single power supply, the standard gate bias is set to 0V with excellent linearity and reliability.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-83262

(43) 公開日 平成9年(1997)3月28日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 F 3/193			H 0 3 F 3/193	
H 0 1 L 29/76			H 0 1 L 29/76	
29/772		9447-4M	29/80	R
29/812				
21/338				

審査請求 未請求 請求項の数3 O L (全 6 頁)

(21) 出願番号 特願平7-235289

(22) 出願日 平成7年(1995)9月13日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 長 岡 正 見

神奈川県川崎市幸区小向東芝町1 株式会
社東芝研究開発センター内

(72) 発明者 石 田 賢 二

神奈川県川崎市幸区小向東芝町1 株式会
社東芝研究開発センター内

(72) 発明者 井 上 智 利

神奈川県川崎市幸区小向東芝町1 株式会
社東芝多摩川工場内

(74) 代理人 弁理士 佐藤 一雄 (外3名)

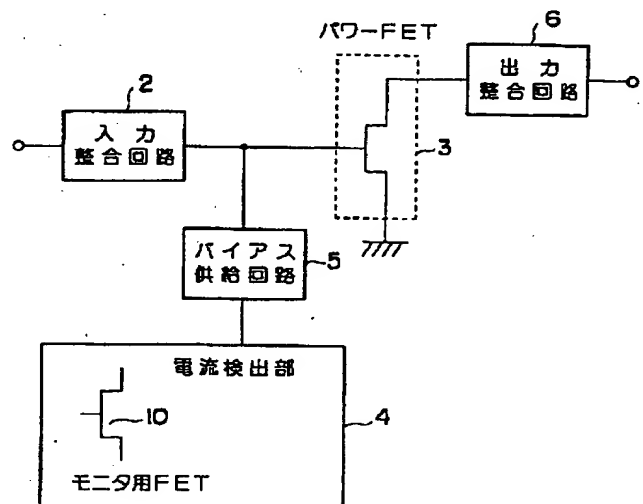
最終頁に続く

(54) 【発明の名称】 電力増幅器

(57) 【要約】

【課題】 パワーFETの特性のばらつきによる電流値の設計値からのずれを可及的に小さくするとともに線形性および信頼性にも優れたものとする。

【解決手段】 増幅素子として用いられるFET3と、このFETの電流レベルを検出する電流レベル検出手段4と、この電流レベル検出手段によって検出された電流レベルが所定値未満である場合にはFETに正のゲートバイアスを供給し、電流レベルが所定値以上である場合には零Vに設定されたゲートバイアスを供給するゲートバイアス供給手段5と、を備えていることを特徴とする。



【特許請求の範囲】

【請求項1】増幅素子として用いられるFETと、このFETの電流レベルを検出する電流レベル検出手段と、この電流レベル検出手段によって検出された前記電流レベルが所定値未満である場合には前記FETに正のゲートバイアスを供給し、前記電流レベルが前記所定値以上である場合には零Vに設定されたゲートバイアスを供給するゲートバイアス供給手段と、を備えていることを特徴とする電力増幅器。

【請求項2】前記電流レベル検出手段は前記FETと同一のプロセスで形成されて、前記FETより総ゲート幅が小さいモニタ用FETを有し、このモニタ用FETの電流レベルを検出することによって前記FETの電流レベルを間接的に検出するように構成されていることを特徴とする請求項1記載の電力増幅器。

【請求項3】増幅素子として用いられる第1のFETと、前記第1のFETのゲートに一端が直流的に接続され、他端が接地される第1の抵抗素子と、第1の正電圧電源に一端が接続される第2の抵抗素子と、この第2の抵抗素子の他端にドレインが接続され、前記第1のFETのゲートと前記第1の抵抗素子との接続点にゲートが接続され、第2の正電圧電源にソースが接続され、前記第1のFETとほぼ同じしきい値電圧を有する第2のFETと、前記第2のFETのドレインにゲートが接続され、前記第1の正電圧電源にドレインが接続され、前記第2のFETのゲートと前記第1の抵抗素子との接続点にソースが接続され、正のしきい値電圧を有する第3のFETと、を備えていることを特徴とする電力増幅器。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、電力増幅器に関する。

【0002】

【従来の技術】近年移動電話システムにおけるデジタル変調方式への移行と並行して、携帯電話端末の小型化の要求が強まっている。このため、システム仕様に合致した線形性を保持しながら、低消費電流、低電圧で動作する高周波電力増幅器の需要が高まっている。この種の電力増幅器では、高周波増幅に対応するため、増幅素子としてGaAsパワーMESFETが多用されている。従来、GaAsパワーMESFETは、負のゲートバイアスを印加して動作させるのが一般的であった。したがって、増幅器も正負2つの電源を必要としていたが負電圧発生回路を省くことにより端末システムの簡略化、小型化を推進できることから、単一電源で動作する高周波電力増幅器が強く求められてきている。

【0003】現実の電力増幅器では、パワーFETの製造のばらつきなどの影響により、電流値が設計値からずれることが少なからずある。この場合、パワーFETの電流レベルに応じてゲート電圧を変えて、電流値の設計値からのずれを抑えるのが望ましい。特に、これを自動的に行う回路を電力増幅器に組み込むことができれば、低コストと高歩留まりの両立が可能であり、メリットは大きい。これまでにも、このように、パワーFETの特性変化に応じてゲートバイアスを変え、電流のずれを低減する手法は知られている（特開平6-164255号参照）。この方法は、パワーFETの電流が大きい場合は正のゲート電圧を減少させ、電流が小さい場合はゲート電圧を増加させるものであり、バイポーラトランジスタにより構成している。

【0004】

【発明が解決しようとする課題】GaAsMESFETを用いた単一電源動作電力増幅器の場合、ゲートを構成するショットキ接合の障壁高さによる制約がある。すなわち、ある程度の正電圧がゲート電極にかかる、ゲート電流が流れてしまい、線形性が劣化したり、ゲートが熱により劣化し、信頼性の問題が発生したりする可能性がある。これを極力抑えるために、基本的にゲートバイアスの設定を零Vにしたい。

【0005】しかし従来の高周波電力増幅器を単一電源動作として特開平6-164255号による手法を適用した場合、標準的なゲートバイアスを正の電圧に設定せざるを得ないので、前述の問題が発生する可能性が大きくなり、適当でなかった。

【0006】このように、従来の高周波電力増幅器は大きな問題点を有し、所望の性能を実現することができなかった。

【0007】本発明は上記事情を考慮してなされたものであって、FETの特性のばらつきによる電流値の設計値からのずれを可及的に小さくすることができるとともに、線形性および信頼性にも優れている電力増幅器を提供することを目的とする。

【0008】

【課題を解決するための手段】本発明による電力増幅器の第1の態様は、増幅素子として用いられるFETと、このFETの電流レベルを検出する電流レベル検出手段と、この電流レベル検出手段によって検出された前記電流レベルが所定値未満である場合には前記FETに正のゲートバイアスを供給し、前記電流レベルが前記所定値以上である場合には零Vに設定されたゲートバイアスを供給するゲートバイアス供給手段と、を備えていることを特徴とする。

【0009】また本発明による電力増幅器の第2の態様は、第1の態様の電力増幅器において、前記電流レベル検出手段は前記FETと同一のプロセスで形成されて、前記FETより総ゲート幅が小さいモニタ用FETを有

し、このモニタ用FETの電流レベルを検出することによって前記FETの電流レベルを間接的に検出するように構成されていることを特徴とする。

【0010】なお、FET、電流レベル検出手段、およびゲートバイアス供給手段は1つの半導体チップ上に集積されていても良い。

【0011】また、FETおよびモニタ用FETはn型GaAsMESFETであっても良い。

【0012】また本発明による電力増幅器の第3の態様は、増幅素子として用いられる第1のFETと、前記第1のFETのゲートに一端が直流的に接続され、他端が接地される第1の抵抗素子と、第1の正電圧電源に一端が接続される第2の抵抗素子と、この第2の抵抗素子の他端にドレインが接続され、前記第1のFETのゲートと前記第1の抵抗素子との接続点にゲートが接続され、第2の正電圧電源にソースが接続され、前記第1のFETとほぼ同じしきい値電圧を有する第2のFETと、前記第2のFETのドレインにゲートが接続され、前記第1の正電圧電源にドレインが接続され、前記第2のFETのゲートと前記第1の抵抗素子との接続点にソースが接続され、正のしきい値電圧を有する第3のFETと、を備えていることを特徴とする。

【0013】なお、第2のFETのゲートは、第1の抵抗素子と第3のFETとのソースとの接続点に第3の抵抗素子を介して接続されるように構成しても良い。

【0014】また、第3のFETのゲートは第2のFETのドレインに第4の抵抗素子を介して接続されるように構成しても良い。

【0015】また、第3のFETのゲート長が第1および第2のFETのゲート長より長くなるように構成しても良い。

【0016】また第1および第2のFETはn型GaAsMESFETであっても良い。

【0017】

【発明の実施の形態】本発明による電力増幅器の第1の実施の形態の構成を図1に示す。この実施の形態の電力増幅器は、入力整合回路2と、GaAsパワーMESFET3と、電流検出部4と、バイアス供給回路5と、出力整合回路6とを備えている。

【0018】パワーMESFET3はソースが接地され、ゲートに入力整合回路2を介して入力される入力電圧が印加されて、出力はドレインに接続された出力整合回路6を介して出力される。また、パワーMESFET3のゲートにはバイアス供給回路5からのゲートバイアスが印加される。

【0019】電流検出部4はパワーMESFET3のドレイン電流を間接的に計測するもので、モニタ用MESFET10を備えている。このモニタ用MESFET10はパワーMESFET3と同時に同じ方法で形成され、総ゲート幅はパワーMESFET3に比べて小さい

ものの、パワーMESFET3と基本的に同じFET構造を有している。したがってモニタ用MESFET10の電流レベルを検出することで、少なくとも高周波信号入力がない場合にはパワーMESFET3の電流レベルを間接的に検出することができる。

【0020】そして検出された電流レベルに応じて、バイアス供給回路5によって、パワーFET3の印加するゲートバイアスを変化させる。すなわち、検出された電流レベルが所定値以上であれば、零Vを、所定値未満であれば、正の電圧が印加される。

【0021】以上説明したように本実施の形態の電力増幅器によれば、パワーMESFET3の特性のばらつきによる電流値の設計値からのずれを可及的に小さくすることができる。このとき負電圧の供給は必要なく、単一電源での動作が実現できる。また、標準的なゲートバイアスを零Vとしたことにより、線形性および信頼性にも優れたものとなる。

【0022】なお、上記実施の形態の電力増幅器によれば、パワーFET3のドレイン電流を間接的に検出したが、直接に検出し、この検出したドレイン電流に基づいてバイアス供給回路5によってゲートバイアスを変化させるようにしても良い。

【0023】次に本発明による電力増幅器の第2の実施の形態を図2を参照して説明する。この実施の形態の電力増幅器は図1に示す第1の実施の形態の電力増幅器と同一の構成を有し、その電流検出部4およびバイアス供給回路5の具体的な回路構成を図2に示す。

【0024】第2の実施の形態の電力増幅器は電流検出部およびバイアス供給回路として、モニタ用MESFET10と、正電圧電源11と、抵抗12と、抵抗15、16と、正のしきい値電圧を有するMESFET17と、抵抗21、22、23と、デカップリング用キャパシタ24と、を備えている。

【0025】抵抗12の一端は正電圧電源11に接続され、他端はソースが接地されたモニタ用MESFET10のドレインおよび抵抗15の一端に接続されている。抵抗15の他端はMESFET17のゲートおよび抵抗16の一端に接続されている。なお抵抗16の他端は接地されている。

【0026】そしてMESFET17のドレインは正電圧電源11に接続され、ソースは抵抗21を介してモニタ用MESFET10のゲートに接続されている。またMESFET17のソースは抵抗22を介して接地されるとともに、抵抗23を介してパワーMESFET3のゲートに接続されている。なお、MESFET17のソースと抵抗23との接続点にはキャパシタ24の一端が接続され、キャパシタ24の他端は接地されている。

【0027】このように構成された第2の実施の形態の電力増幅器においては、パワーMESFET3と同一方法で形成され、総ゲート幅は小さいものの基本的には同

じ構造を有するモニタ用MESFET10の電流レベルに応じてMESFET17に加わる電圧が増減する。なおモニタ用MESFET10の電流レベルが所定値のとき、MESFET17にこのMESFET17のしきい値電圧に等しい電圧がかかるように、抵抗12、15、16の抵抗値が設定されている。モニタ用MESFET10の電流レベルが所定値以上である場合、MESFET17のゲートにかかる電圧はしきい値電圧以下となるので、抵抗22には電流は流れない。したがって、この場合はパワーMESFET3のゲートには零Vが印加される。

【0028】一方MESFET10の電流が所定値を下回る場合は、MESFET17がON状態になるのでパワーMESFET3のゲートには正のゲートバイアスがかかる。

【0029】以上説明したように本実施の形態の電力増幅器によれば、パワーMESFET3の電流レベルに応じてパワーMESFET3のゲートバイアスを変化させているのでパワーMESFET3の特性のばらつきによる電流値の設計値からのずれを可及的に減らすことができる。このとき負電圧の供給は必要なく、単一電源（正電源）での動作が実現できる。また、標準的なゲートバイアスを零Vとしたことにより、線形性および信頼性にも優れたものとなる。

【0030】次に本発明による電力増幅器の第3の実施の形態を図3を参照して説明する。この実施の形態の電力増幅器は図2に示す第2の実施の形態の電力増幅器において、抵抗15、16およびMESFET17の代わりに直列に接続されるダイオード18、19及び抵抗20を設けたものである。

【0031】ダイオード18のアノードは抵抗12とモニタ用MESFET10の共通接続ノードに接続され、カソードはダイオード19のアノードに接続される。またダイオード19のカソードは抵抗20の一端に接続され、抵抗20の他端は抵抗21と抵抗22の共通接続点に接続される。

【0032】このように構成された第3の実施の形態の電力増幅器においては、モニタ用MESFET10の電流レベルに応じてダイオード19のアノードに加わる電圧が増減する。MESFET10の電流レベルが所定値のとき、（すなわちパワーMESFET3の電流レベルが所定値のとき）、ダイオードの立ち上がり電圧の2倍（ダイオードが2個直列に接続されているため）に等しい電圧がダイオード19にかかるように、抵抗12、20、22の抵抗値が設定されている。このため、MESFET10の電流レベルが所定値以上である場合は抵抗22に電流は流れず、パワーMESFET3のゲートには零Vの電圧が印加される。一方、モニタ用MESFET10の電流が所定値を下回る場合は、ダイオード19が導通状態になるので、パワーMESFET3には正の

ゲートバイアスがかかる。

【0033】この第3の実施の形態の電力増幅器も第2の実施の形態と同様の効果を奏することは言うまでもない。

【0034】次に本発明による電力増幅器の第4の実施の形態を図4を参照して説明する。この実施の形態の電力増幅器は図2に示す第2の実施の形態の電力増幅器において、抵抗16を削除するとともに、モニタ用MESFET10のソースと接地の間に正電圧電源13を新たに設けたものである。

【0035】このようにモニタ用MESFET10のソースには正電源電圧13によって正の基準電位が与えられるので、モニタ用MESFET10の電流レベルは、抵抗値が充分大きな抵抗12によって決定され、モニタ用MESFET17のしきい値電圧によらず、基本的に一定の値を示す。このとき、モニタ用MESFET10のゲートには上記基準電位によりオフセットされた電圧が現われ、この電圧をパワーMESFET3に印加することにより、パワーMESFET3の電流をほぼ一定にすることができる。なお、MESFET17のしきい値はモニタ用MESFET10のしきい値電圧が設計値よりもマイナス側にずれた場合にOFFするように設定されている。したがってMESFET17がOFFしている状況下では、モニタ用MESFET10のゲート電位は常に零V、すなわちパワーMESFET3のゲートバイアスは零Vとなる。

【0036】以上説明したように本実施の形態の電力増幅器においては、パワーMESFET3のしきい値電圧が設計値よりもプラス側にずれている場合には、モニタ用MESFET10のゲートに上記基準電位によりオフセットされた電圧が印加されることによりパワーMESFET3のゲートに正のゲートバイアスが印加される。一方パワーMESFET3のしきい値電圧が設計値よりもマイナス側にずれている場合にはモニタ用MESFET10のゲート電位は常に零Vが印加されることによりパワーMESFET3のゲートバイアスは零Vとなる。これにより、適切なゲートバイアスがパワーMESFET3に与えることができ、パワーMESFETの特性のばらつきによる電流値の設計値からのずれを可及的に小さくすることができる。このとき、負電圧の供給は必要なく、単一電源での動作が実現できる。また、標準的なゲートバイアスを零Vとしたことにより、線形性および信頼性にも優れたものとなる。

【0037】なお、この実施の形態の電力増幅器においては、MESFET17のゲート長を比較的長く（例えば、モニタ用MESFET10の総ゲート幅が0.1mm程度の場合に数 μ m程度）しておく、ゲート長のばらつきの影響を排除できるので、より精密にゲートバイアス制御を行うことができる。

【0038】また上記第2乃至第4の実施の形態の電力

増幅器を、パワーMESFET 3の総ゲート幅が4mmに対してモニタ用MESFET 10の総ゲート幅を0.1mm程度にとって試作し、評価を行った結果は次のようであった。

【0039】パワーMESFET 10の単独での電流は設計値140mAに対し、80mA～160mAの幅でばらついた。一方、本実施の形態の高周波電力増幅器においては、電流のばらつきの幅は30mA～50mAと小さくなっていた。

【0040】なお、上記第2乃至第4の実施の形態の電力増幅器においては、パワーMESFET 3、電流検出部、バイアス供給回路等は1つの半導体チップ上に集積することが可能である。この場合、電流検出部およびバイアス供給回路の面積はパワーMESFET 3自体の面積に比較して小さいものとすることが可能となる。したがって、電流検出部およびバイアス供給回路を付け加えても全体としては、さほど大きくなることはなく、付け加えたことによるコストアップは微増に留まる。

【0041】なお、上記第1乃至第4の実施の形態においては増幅素子としてはGaAsMESFETを例にとって説明したが、正電圧よりも零Vのゲートバイアスで動作させることが望ましい素子であれば良く、化合物半導体ヘテロ接合を用いたFET、例えば、HEMT、DMTなどでも有効である。

【0042】

【発明の効果】以上述べたように本発明によれば、パワーFETの特性のばらつきによる電流値の設計値からのずれを可及的に小さくできるとともに、線形性および信頼性にも優れたものを得ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の構成を示すブロック図。

【図2】本発明の第2の実施の形態の構成を示す回路図。

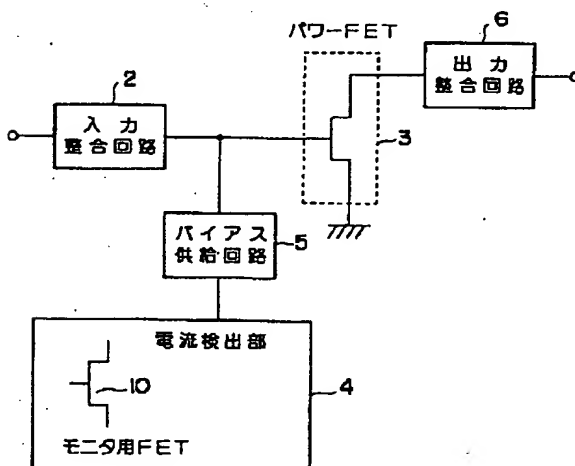
【図3】本発明による第3の実施の形態の構成を示す回路図。

【図4】本発明による第4の実施の形態の構成を示す回路図。

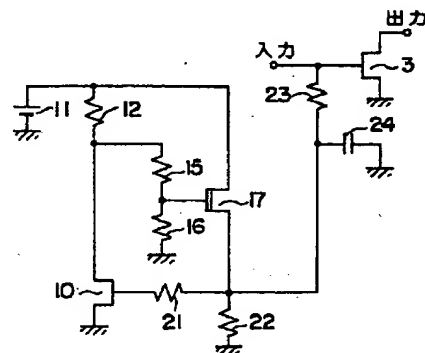
【符号の説明】

- 2 入力整合回路
- 3 パワーMESFET
- 4 電流検出部
- 5 バイアス供給回路
- 6 出力整合回路
- 10 モニタ用MESFET
- 11 正電圧電源
- 12 抵抗
- 13 正電圧電源
- 15 抵抗
- 16 抵抗
- 17 MESFET
- 18 ダイオード
- 19 ダイオード
- 20 抵抗
- 21 抵抗
- 22 抵抗
- 23 抵抗
- 24 デカップリング用キャパシタ

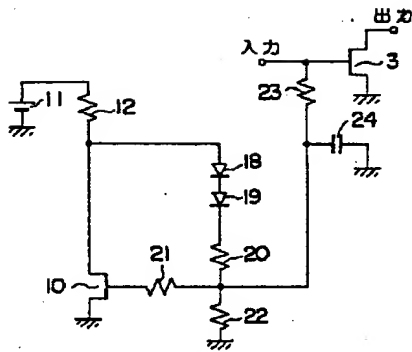
【図1】



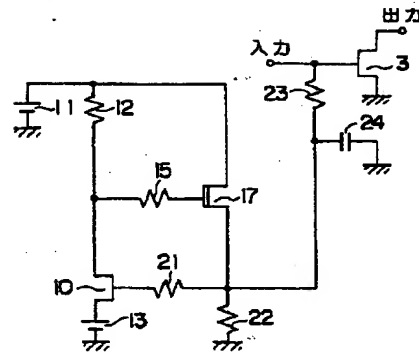
【図2】



【図3】



【図4】



フロントページの続き

(72)発明者 池田佳子
神奈川県川崎市幸区小向東芝町1 株式会
社東芝研究開発センター内

(72)発明者 亀山敦
神奈川県川崎市幸区小向東芝町1 株式会
社東芝研究開発センター内